

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-035863

(43) Date of publication of application : 10.02.1994

(51) Int. CI. G06F 15/16

G06F 11/26

(21) Application number : 04-190678

(71) Applicant : FUJITSU LTD

(22) Date of filing : 17.07.1992

(72) Inventor : SHOJI MINORU

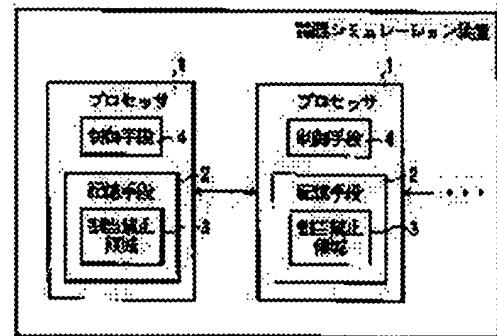
HIROSE FUMIYASU

(54) LOGICAL SIMULATION DEVICE

(57) Abstract:

PURPOSE: To provide a logical simulation device which simulates a logic circuit only, distributes surely the data on the inter-processor connector to each of processors forming the simulation device when the data on the circuit module serving as a simulation model of the logic circuit are distributed to these processors, and also generates the simulation model at a high speed.

CONSTITUTION: A logical simulation device includes plural processors 1 to simulate a logic circuit. Each processor 1 is provided with an assignment inhibiting area 3 included in a storage means 2 in a size proportional to the number of input/output terminals of a circuit module stored in the means 2 for assignment of the data on the inter-processor connector. Then, the element data on the circuit module are assigned to the areas except the area 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-35863

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl⁶

G 0 6 F 15/16
11/26

識別記号 庁内整理番号

Z 8840-5L
3 1 0 8323-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 5(全 17 頁)

(21)出願番号

特願平4-190678

(22)出願日

平成4年(1992)7月17日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 庄司 稔

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 広瀬 文保

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 土橋 皓

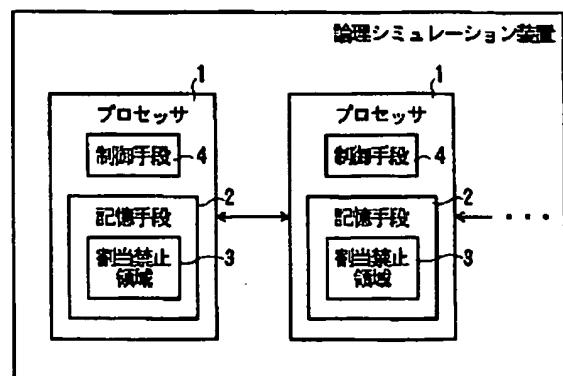
(54)【発明の名称】 論理シミュレーション装置

(57)【要約】

【目的】 論理回路のシミュレーションを専用に行う論理シミュレーション装置に関し、論理回路のシミュレーションモデルとしての回路モジュールのデータを上記装置を構成する各プロセッサのメモリに割り振る際にプロセッサ間を接続する接続素子データが確実に各プロセッサに割り振ると共に、この装置に形成されるシミュレーションモデルを高速に生成することを目的とする。

【構成】 論理回路のシミュレーションを行うプロセッサ1を複数設けてシミュレーションを行う論理シミュレーション装置において、このプロセッサ1に設けられる記憶手段2内に、上記接続素子データを割当てるため、この記憶手段2に記憶される回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域3を設けると共に、この回路モジュールの素子データを上記割当禁止領域3外に割当てた構成である。

本発明の原理構成図



1

【特許請求の範囲】

【請求項1】 論理回路のシミュレーションモデルとしての回路モジュールを表現する素子データ等を記憶する記憶手段(2)及びこの記憶手段(2)から必要なデータを読み出し論理回路のシミュレーションを行う制御手段(4)を有するプロセッサ(1)を備え、上記プロセッサ(1)同士を接続するときには接続に係る接続素子データを上記記憶手段(2)に登録して動作させると共に、これらプロセッサ(1)を複数設けてシミュレーションを行う論理シミュレーション装置において、

上記記憶手段(2)内に、

上記接続素子データを割当てるため、この記憶手段(2)に記憶される回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域(3)を設けると共に、この回路モジュールの素子データを上記割当禁止領域(3)外に割当することを特徴とする論理シミュレーション装置。

【請求項2】 上記記憶手段(2)内に、

上記接続素子データを割当てるために、上記回路モジュールの内から所定の接続情報で関連付けられる回路モジュールを選択し、この所定の接続情報毎に、この接続情報で関連付けられる回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域(3)を設けた請求項1記載の論理シミュレーション装置。

【請求項3】 上記記憶手段(2)内に、

階層的に構成された上記回路モジュールを各階層毎に選択し、各階層毎に、各階層に該当する回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域(3)を設けた請求項1記載の論理シミュレーション装置。

【請求項4】 上記記憶手段(2)の下位アドレス又は上位アドレス側に割当禁止領域(3)を設けると共に、回路モジュールの素子データを上記割当禁止領域(3)外であって上記割当禁止領域(3)を設けた側と反対側のアドレスに割当ることを特徴とする請求項1記載の論理シミュレーション装置。

【請求項5】 上記階層的に構成された上記回路モジュールを各階層毎に選択し、各階層毎に該当する回路モジュール内から、さらに上記所定の接続情報で関連付けられる回路モジュールを選択し、この所定の接続情報毎に、この接続情報で関連付けられる回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域(3)を設けた請求項2及び請求項3記載の論理シミュレーション装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、論理回路のシミュレーションを専用に行う論理シミュレーション装置に関する。

10

2

【0002】

【従来の技術】 従来、論理シミュレータによる論理シミュレーション実行時に参照される回路モデルの生成方式では、論理回路のシミュレーションモデルとしての回路モジュールを構成する回路素子のデータをそのままの形で論理シミュレーション装置のメモリに割り付けることで全体の回路モデルを作成していた。しかし、論理シミュレーションを高速に実行するために開発された論理シミュレーション専用のシミュレータでは、シミュレーションの実行速度の高速化を図るために、回路モデルになんらかの制約が課される場合がある。

【0003】 そして、この制約のなかには、シミュレータを構成しハード的に分割された複数のプロセス(以下、「プロセッサ」という)に回路の素子データを割り当てる際、その分割された回路間の接続関係を設定するために入力側／出力側のプロセッサ内に、プロセッサ間を接続する接続素子データが要求されるものがある。一方、近年の回路の大規模化により、その論理回路の検証のための論理シミュレーションの実行速度の向上が要求されており、その解決手段の一つとして論理シミュレーション実行時に参照される各回路の回路モデルを高速に生成することが必要とされている。

【0004】

【発明が解決しようとする課題】 ところで、上記論理回路を構成する各回路モジュールのデータをシミュレータの各プロセッサのメモリに割り振った後、各モジュール間の接続関係を設定する際に異なるプロセッサ間の接続が要求された場合には、このとき新たに作成される接続素子データをプロセッサのメモリに割り振ることが不可

30 能となる場合が生じていた。

【0005】 本発明は、上記問題点に鑑みてなされたものであり、各回路モジュールのデータをシミュレータの各プロセッサのメモリに割り振る際にプロセッサ間を接続する接続素子データが確実に各プロセッサに割り振られると共に、シミュレータに対する回路モデルを高速に生成することを目的としている。

【0006】

【課題を解決するための手段】 以上の技術的課題を解決するための本発明の第1の手段は図1に示すように、論理回路のシミュレーションモデルとしての回路モジュールを表現する素子データ等を記憶する記憶手段2及びこの記憶手段2から必要なデータを読み出し論理回路のシミュレーションを行う制御手段4を有するプロセッサ1を備え、上記プロセッサ1同士を接続するときには接続に係る接続素子データを上記記憶手段2に登録して動作させると共に、これらプロセッサ1を複数設けてシミュレーションを行う論理シミュレーション装置において、上記記憶手段2内に、上記接続素子データを割当てるため、この記憶手段2に記憶される回路モジュールに係る50 入出力端子の数に比例する大きさの領域である割当禁止

領域3を設けると共に、この回路モジュールの素子データを上記割当禁止領域3外に割当てたことである。

【0007】また、本発明の第2の手段は、上記記憶手段2内に、上記接続素子データを割当てるために、上記回路モジュールの内から所定の接続情報で関連付けられる回路モジュールを選択し、この所定の接続情報毎に、この接続情報で関連付けられる回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域3を設けたことである。

【0008】また、本発明の第3の手段は、上記記憶手段2内に、階層的に構成された上記回路モジュールを各階層毎に選択し、各階層毎に、各階層に該当する回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域3を設けたことである。

【0009】

【作用】上記第1の手段によれば、回路モジュールの素子データを記憶手段2に割り当てる際に、この記憶手段2に記憶される全回路モジュールの入出力端子の数に基づき、この数に規定の値を乗じたこの数に比例する大きさの領域である割当禁止領域3を記憶手段2内に確保し、上記全回路モジュールの素子データの割当時には、上記割当禁止領域3外に素子データを割当て登録する。そして、これら回路モジュールの素子データの割当で実行後、回路モジュール間を接続する接続関係の設定時に、異なるプロセッサ1に存在する回路モジュール同士を接続することが要求されたときには、プロセッサ1同士の接続に係る接続素子データを上記割当禁止領域3に割り当てる(図2参照)。

【0010】また、第2の手段によれば、素子データを記憶手段2に割り当てる際に、まず上記回路モジュールの内から所定の接続情報で関連付けられる複数の回路モジュール(以下、単に「ネット」という)を選択する。そして、これら選択された回路モジュールが有する入出力端子の数に比例する大きさの割当禁止領域3aを上記と同様にして求めると共に、この割当禁止領域3aを記憶手段2内に確保する。同様にして、別のネットを選択し、上記と同様これに対する割当禁止領域3bを求め、この割当禁止領域3bを記憶手段2内に確保する。更に別のネットがあればこれについても同様の割当を行う。そして、上記全回路モジュールの素子データの割当時には、上記割当禁止領域3a、3b外に回路モジュールの素子データを割当で登録する。

【0011】この後、上記ネットの接続関係の設定時に、異なるプロセッサ1同士の接続が要求されたときに、各ネットに関し必要な接続素子データを該当する上記割当禁止領域3a、3bに割り当てる(図3参照)。また、第3の手段では、階層的に記述された回路モジュール(各階層を構成する回路モジュールを「階層モジュール」という)に関する割当禁止領域3を各階層毎に記憶手段2に割り当てる。まず、最上位の階層の階層モ

ジューの入出力端子の数に比例する大きさの領域である割当禁止領域3xを上記と同様にして求めると共に、この割当禁止領域3xを記憶手段2内に確保する。そして、その下位の階層の階層モジュールについても同様にしてこの階層モジュールの割当禁止領域3yを追加確保する。そして、最下位の階層の回路モジュールについてそれを構成する階層モジュールの入出力端子の数から上記と同様にして割当禁止領域3zを確保する。そして、上記全回路モジュールの素子データの割当時には、上記

10 割当禁止領域3x、3y、3z外の領域に回路モジュールの素子データを割当で登録する。

【0012】この後、回路モジュール間の接続関係の設定時に、異なるプロセッサ1同士の接続が要求されたときに、各階層に関し必要な接続素子データを該当する上記割当禁止領域3x、3y、3zに割り当てる(図4参照)。

【0013】

【実施例】以下本発明に係る論理シミュレーション装置の実施例を図面に基づいて説明する。図5は、本実施例

20 に係る論理シミュレーション装置を示したものである。この装置は、論理シミュレーションを専用に行う論理シミュレータ12と、シミュレーションの対象としての論理回路のモデルである回路モジュールのデータを、上記シミュレータ装置に割り振る割振装置11とから構成されている。

【0014】上記論理シミュレータ12は、論理回路のシミュレーションを行うプロセッサ13を複数有し、これらプロセッサ13同士を接続してプロセッサ13i

(i=1,2,~)群を構成して特定のシミュレーションの機能を達成するものである。また、このプロセッサ13には、シミュレーションの対象である論理回路の回路素子に係る素子データ等を記憶するメモリ14と、このメモリ14から必要なデータを読み出し論理回路のシミュレーションを行う制御部15とを有し、さらに、上記メモリ14内には素子データの割当を禁止した割当禁止領域19が設けられている。一方、上記割振装置11は、CPU部17、主記憶部18及び磁気ディスク装置等の記憶装置16を備えた汎用の電子計算機からなっている。

【0015】図6に示す割振装置11aは、上記割振装置11の第1の例を詳細に示したものである。この割振装置11aのCPU部17には、各回路モジュールを構成するサブモジュールとその種類を読み込むサブモジュール読込部22と、各回路モジュールのサブモジュール間の接続情報を読み取るネット読込部23と、各サブモジュールが配置されるアドレスを割り当てるアドレス割当部26とが設けられている。

【0016】さらに、この割振装置11aの記憶装置16には各回路モジュールに係るデータが登録された回路記述ファイル21と、回路に関するライブラリ情報が格納されるライブラリ25とが設けられ、また、主記憶部

18には各サブモジュールの割り当てられたアドレスを記憶する割当アドレス記憶部27と、既にデータが割り当てられた領域を記憶する割当領域記憶部28とが設けられている。

【0017】ここで、第1の実施例として、上記割振装置11aを用いた論理シミュレーション装置の動作を図8に示すフローチャートに基づいて説明する。これは、各回路モジュールのデータを構成するモジュール全てを論理シミュレータのプロセッサ13に割り付けた後、接続情報を設定する場合を示したものである。まず、サブモジュール読込部22により各回路モジュールを構成するサブモジュールを回路記述ファイル21から読み出し(S1)、また、サブモジュールの素子データが占める大きさの情報及びそのサブモジュールに関する入出力端子の数(以下、「ピン数」という)、をライブラリ25から読み出す(S2, S3)。

【0018】この後、プロセッサ13i群の中から適当なプロセッサ13を選択する(S4)。そして、アドレス割当部26において、このプロセッサ13のメモリ14の下位アドレスに上記で得たピン数及び割当領域記憶部28の内容より、このピン数に規定の値を乗じた大きさの割当禁止領域19を決定しこれを所定のアドレスに設定する(S5)。同時に、アドレス割当部26において、上記データを当該プロセッサ13のメモリ14に適切に割り当てることが可能かどうかを調べ(S6)、これが不可能であれば別のプロセッサ13を選択する(S4)。また、上記割当が可能であれば、割当アドレス記憶部27に保持されたこのプロセッサ13のメモリ14の空き領域の上位アドレスに、素子データを割り当てる(S7)。

【0019】そして、上記サブモジュールについての割り当てが全て終了すれば(S8)、次に、各回路モジュール間の接続情報に基づいて回路モジュール間の接続関係を設定する。このときプロセッサ13間の接続が要求された際には上記で設定された割当禁止領域19に回路記述ファイル21から読み出された接続素子データを登録し、プロセッサ13間を確実に接続する(S9)。

【0020】図16(a)は、上記実施例に係るメモリ割当の概念図を示すものであり、これは、回路モジュールの素子データの割当禁止領域19をメモリ14の上位アドレスに設定(図中斜線の部分)した場合を示している。また、図16(b)にメモリの下位アドレスに割当禁止領域19を設定した場合を示している。

【0021】次に、本発明の第2の実施例について説明する。この実施例は、論理シミュレータのプロセッサ13に、回路モジュールの内から所定の接続情報で関連付けられる複数の回路モジュール(「ネット」という)を規定したネットワーク接続リストに基づき各回路モジュールのデータを割り振るものであり、各ネット毎に割当禁止領域19が設定される。

【0022】ここで、図9に示すフローチャートに基づいて本実施例の処理を説明する。まず、上記ネット読込部23において上記ネットに関する接続リストを得る(S11)。次に、上記で得られたネット内の全てのモジュールの割当が完了したかどうかを調べ(S12)、最初は、まだ完了ではないので上記接続リスト中からサブモジュールを得る(S13)。そして、このサブモジュールが既に割り当てられているものであれば(S14)、別のサブモジュールを読み出し(S13)、このサブモジュールの種類を回路記述ファイル21より得る(S15)。また、このサブモジュールの素子データが占める大きさをライブラリ25より読み出し(S16)、更にこのサブモジュールについての外部ピン数をライブラリ25より得る(S17)。

【0023】この後、プロセッサ13i群の中から適当なプロセッサ13を選択し(S18)、上記で得た外部ピン数に基づき上記と同様にして割当禁止領域19を決定し、この割当禁止領域19をこのプロセッサ13のメモリ14の下位アドレスに設定する(S19)。このとき、上記で得た素子データをプロセッサ13に割り当てることが可能かどうかを調べ(S20)、これを割り当てることが不可能であればステップ(S18)に戻って再度プロセッサ13を選択する。また、この割当が可能であれば素子データをプロセッサ13のメモリ14の上記割当禁止領域19外の空き領域の上位アドレスに割り当てる(S21)。そして、ステップ(S12)に戻り、同じネット内の別の回路モジュールについての割当の処理を行う。

【0024】さらに、ネット内の全ての回路モジュールの割り当てが完了すれば(S12)、これまでに割り当てた回路モジュールについて、各回路モジュール間の接続関係を設定し、上記で設定された割当禁止領域19にプロセッサ13間の接続に必要な接続素子データを登録する(S22)。そして、以上の処理を全てのネットについて接続が完了するまで行い(S23, S11)、全てが完了すればここで処理を終える。

【0025】上記実施例に関し、図17に回路モジュールが2つのネット(図中「1」は1番目を、又「2」は2番目のネットに係る領域を示す)に分かれる場合の、各ネットについてのメモリ14の割当の概念図を示す。ここで、図17(a)は回路モジュールの素子データの割当禁止領域19(図中斜線で示される「1」と「2」の部分)をメモリ14の上位アドレスに設定する場合を、また、図17(b)にメモリの下位アドレスに割当禁止領域19を設定する場合を示している。

【0026】次に、本発明の第3の実施例について説明する。この実施例は、階層的に記述された回路モジュール(各階層はサブモジュールで構成される)に関する割当禁止領域19を各階層毎にメモリ14に割り当てるものである。図7に本実施例で用いる割振装置11bを示

している。この割振装置11bは、上記割振装置11の第2の例を詳細に示したものであり、上記割振装置11aと同様に汎用の電子計算機で構成され、CPU部17は各回路モジュールを構成するサブモジュールとその種類を読み込むサブモジュール読込部22と、各回路モジュールのサブモジュール間の接続情報を読み取るネット読込部23と、各階層のモジュールの外部ピン数を計算する外部ピン数計算部31とを有している。

【0027】また、割振装置11bの主記憶装部18は、各サブモジュールの割り当てられたアドレスを記憶する割当アドレス記憶部27と、既にデータが割り当てられた領域を記憶する割当領域記憶部28と、回路の木構造を記憶する木構造記憶部29と、サブモジュールの割当禁止領域を設定し記憶するサブモジュール割当禁止領域記憶部30とが設けられ、一方、記憶装置16には各回路モジュールの回路を記述した記述ファイル21と、回路のライブラリ情報が格納されるライブラリ25とが設けられている。

【0028】ここで、本実施例の動作を図10乃至図12のフローチャートに基づいて説明する。これらは、各回路モジュールに係るデータを回路の階層毎にプロセッサ13のメモリ14に割り当てた後その接続関係を設定する場合のフローチャートを示している。はじめに、回路記述ファイル21を参照し、回路モジュールの階層をあらわした木構造の表を作成しこれを木構造記憶部29に登録する(S31)。そして、これから一番上の階層の回路モジュールを得て(S32)、下記に示すメモリ割り当ての処理1を実行する(S33)。

【0029】図11は、上記処理1のフローチャートを示したものである。ここでは、まず外部ピン数計算部31において上記回路モジュールが有する外部ピンの数を数え(S41)、この回路モジュールのサブモジュールに係る素子データの割当禁止領域19を上記と同様にして決定しメモリ14のアドレスの上位側に設定すると共に、これをサブモジュール割当禁止領域記憶部30に記憶する(S42)。そして、そのモジュールの次の階層に係るサブモジュールを得て(S43)、このサブモジュールに基づいて処理1を実行する(S44)。

【0030】この処理1の実行によりステップ(S41)からステップ(S43)までが、次の下位の階層のサブモジュールがなくなるまで繰り返し実行され、これがなくなれば、全てのサブモジュールの処理完了(S45)となり、次の、下記に示す処理2を実行し(S46)てメモリ14の割当を行う。この後、以上の実行結果をライブラリ25に保存し(S47)て処理1を終了すれば、そして直前の上位の階層の処理に戻りステップ(S46)からステップ(S47)が実行され、これが一番上の階層に戻れば、全ての処理を終了することになる。

【0031】図12は、処理2のフローチャートを示し

たものであり、この処理のステップ(S51)からステップ(S59)は前述した図8と同様であるのでここでは説明を省略する。

【0032】上記実施例に関し、図18(a)に、各階層毎に設定される割当禁止領域19を論理シミュレータ12のメモリ14の上位アドレスに設定してから、全回路モジュールの素子データの割り当てを行い、この後接続情報より各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示す。図中、横線で示される領域は

10回路モジュールの最上位階層での割当禁止領域、縦線で示される領域は最上位階層の一つ下の階層での割当禁止領域また斜線で示される領域は最下位階層での割当禁止領域をそれぞれ示している。

【0033】図18(b)は、各階層毎に設定される割当禁止領域19を論理シミュレータのメモリ14の上位アドレスに、また、回路モジュールの割当禁止領域19をメモリ14のアドレスの下位に設定してから、全回路モジュールの素子データの割り当てを行い、接続情報より各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。

【0034】また、図19(a)は、各階層毎に設定される割当禁止領域19を論理シミュレータのメモリ14の下位アドレスに、回路モジュールの割当禁止領域19をアドレスの上位に設定してから、全モジュールのデータの割り当てを実行し、接続情報より各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。図19(b)は、各階層毎に設定される割り当て禁止領域19を論理シミュレータのメモリ14の下位アドレスに、回路モジュールの割当禁止領域19をアドレスの下位に設定してから、全モジュールのデータの割り当てを実行し、接続情報より各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。

【0035】図20(a)に示すのは、各階層毎に設定される割当禁止領域19を論理シミュレータのメモリ14の上位アドレスに設定し、メモリ14の上記割当禁止領域19外の領域に全回路モジュールの素子データを割り当てた場合の概念図を示している。同様に、図20(b)は、論理シミュレータのメモリ14の下位アドレスに各階層毎に設定される割当禁止領域19を設定した場合を示している。

【0036】更に、第4の実施例として、図13乃至図15に示すものがある。これは、階層的に記述された回路モジュールに関する割当禁止領域19を各階層毎にメモリ14に割り振り、さらに、その階層においてこの階層内のネット単位に割当禁止領域19を設定するものである。

【0037】なお、本実施例における図13及び図14に示すステップ(S61)からステップ(S77)は上記図10及び図11と同様であるので説明を省略する。

50 また、図15に示すステップ(S81)からステップ

(S93) は、図9と同様であるのでここでは説明を省略する。

【0038】上記実施例に関し、図21(a)に、各階層毎に設定される割当禁止領域19を論理シミュレータ12の素子データを記憶するメモリ14の上位アドレスに、素子データの割当禁止領域19をアドレスの上位に設定してから、ネットに係る接続情報から必要となった回路モジュールのメモリ14への割り当てを実行しながら各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。

【0039】また、図21(b)は、各階層毎に設定される割当禁止領域19をメモリ14の上位アドレスに、回路モジュールの割当禁止領域19をアドレスの下位に設定してから、ネットに係る接続情報から必要となった回路モジュールのメモリへの割り当てを実行しながら各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。

【0040】さらに、図22(a)は、各階層毎に設定される割当禁止領域19をメモリ14の下位アドレスに、回路モジュールの割当禁止領域19をアドレスの上位に設定してから、ネットに係る接続情報から必要となったモジュールのメモリへの割り当てを実行しながら各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。また、図22(b)は、各階層毎に設定される割当禁止領域19をメモリ14の下位アドレスに、回路モジュールの割当禁止領域19をアドレスの下位に設定してから、ネットに係る接続情報から必要となったモジュールのメモリへの割り当てを実行しながら各素子間の接続関係を設定する場合のメモリ割り当ての概念図を示している。

【0041】従って、本実施例によれば、各プロセッサ13のメモリ14に回路モジュールの素子データを割り当てた後に、異なるプロセッサ13に含まれる回路モジュールの素子間の接続が要求された場合であっても、予め回路モジュールの素子データの割当て時にこれらの素子データの割当を禁止している割当禁止領域19を確保するものとしているから、接続関係設定時にプロセッサ13間の接続に係る接続素子データを確実に論理シミュレータのメモリ14、即ち割当禁止領域19に割り当てることが可能となり、シミュレータにおける回路モデルの生成の高速化が図れるようになった。

【0042】また、回路モジュールが階層をもって記述された構成からなるものであっても、各階層毎にその階層に含まれるサブモジュールの素子データの割当を禁止した割当禁止領域19を設けたから、全ての階層においてプロセッサ13間の接続素子データのメモリ14への割り当てが確実に行え、このためシミュレータにおける回路モデルの生成の高速化が図れるといった効果を有する。

【0043】

【発明の効果】以上説明したように本発明に係る論理シミュレーション装置によれば、回路モジュールの素子データ等を記憶する記憶手段2内に、接続素子データを割当てるため、この記憶手段2に記憶される回路モジュールに係る入出力端子の数に比例する大きさの領域である割当禁止領域3を設けると共に、この回路モジュールの素子データを上記割当禁止領域3外に割当てた構成を探用し、各プロセッサ1の記憶手段2に回路モジュールの素子データを割り当てた後に、異なるプロセッサ1に含まれる回路モジュールの素子間の接続が要求された場合

であっても、予め回路モジュールの素子データの割当て時にこれらの素子データの割当を禁止する割当禁止領域3を確保するものとしているから、接続関係設定時にプロセッサ1間の接続に係る接続素子データを確実にこの割当禁止領域19に割り当てることができ、シミュレーションモデルの生成の高速化が図れるといった効果を奏する。

【0044】また、回路モジュールが階層をもって記述された構成からなるものであっても、各階層毎にその階層に含まれる回路モジュールの素子データの割当禁止領域3を設けたから、全ての階層において接続素子データの記憶手段2への割り当てが確実に行え、シミュレーションモデルの生成の高速化が図れるといった効果がある。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の第1の手段に係る記憶手段の概念図である。

【図3】本発明の第2の手段に係る記憶手段の概念図である。

【図4】本発明の第3の手段に係る記憶手段の概念図である。

【図5】本発明の実施例に係る論理シミュレーション装置の構成図である。

【図6】本発明の第1及び第2の実施例に用いられる割振装置の構成図である。

【図7】本発明の第3の実施例に用いられる割振装置の構成図である。

【図8】第1の実施例の動作を示すフローチャートである。

【図9】第2の実施例の動作を示すフローチャートである。

【図10】第3の実施例の動作を示す第1のフローチャートである。

【図11】第3の実施例の動作を示す第2のフローチャートである。

【図12】第3の実施例の動作を示す第3のフローチャートである。

【図13】第4の実施例の動作を示す第1のフローチャートである。

11

【図14】第4の実施例の動作を示す第2のフローチャートである。

【図15】第4の実施例の動作を示す第3のフローチャートである。

【図16】第1の実施例に係る割当禁止領域等のメモリ割当の概念図である。

【図17】第2の実施例に係る割当禁止領域等のメモリ割当の概念図である。

【図18】第3の実施例に係る割当禁止領域等のメモリ割当の第1の概念図である。

【図19】第3の実施例に係る割当禁止領域等のメモリ割当の第2の概念図である。

12

【図20】第3の実施例に係る割当禁止領域等のメモリ割当の第3の概念図である。

【図21】第4の実施例に係る割当禁止領域等のメモリ割当の第1の概念図である。

【図22】第4の実施例に係る割当禁止領域等のメモリ割当の第2の概念図である。

【符号の説明】

1 プロセッサ

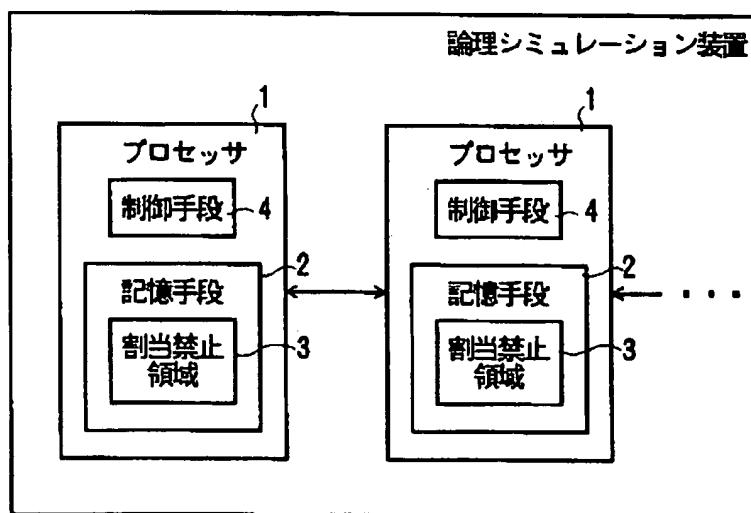
2 記憶手段

10 3 割当禁止手段

4 制御手段

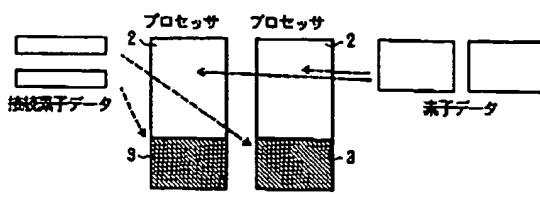
【図1】

本発明の原理構成図



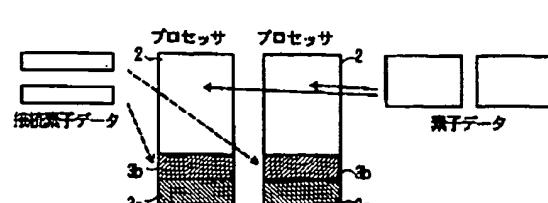
【図2】

本発明の第1の手段に係る記憶手段の概念図



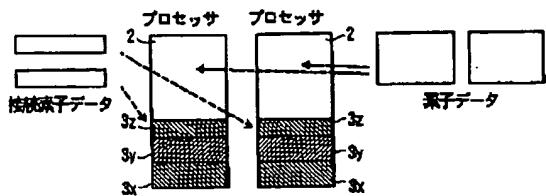
【図3】

本発明の第2の手段に係る記憶手段の概念図



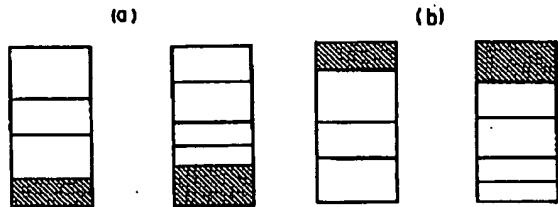
【図4】

本発明の第3の手段に係る記憶手段の概念図



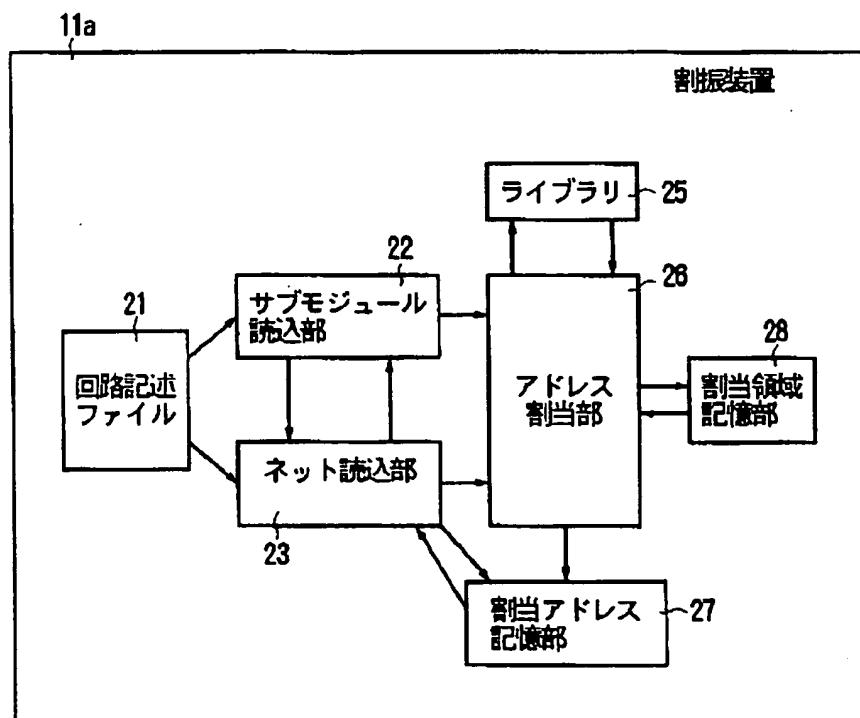
【図16】

第1の実施例に係る割当禁止領域等のメモリ割当ての概念図



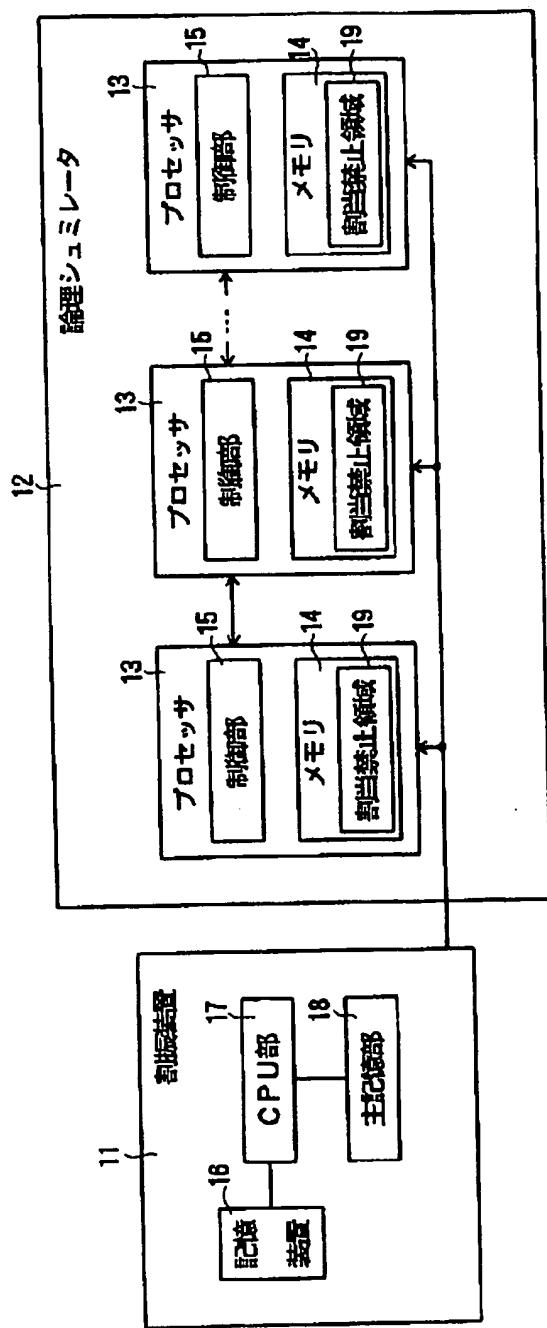
【図6】

本発明の第1及び第2の実施例に用いられる割振装置の構成図



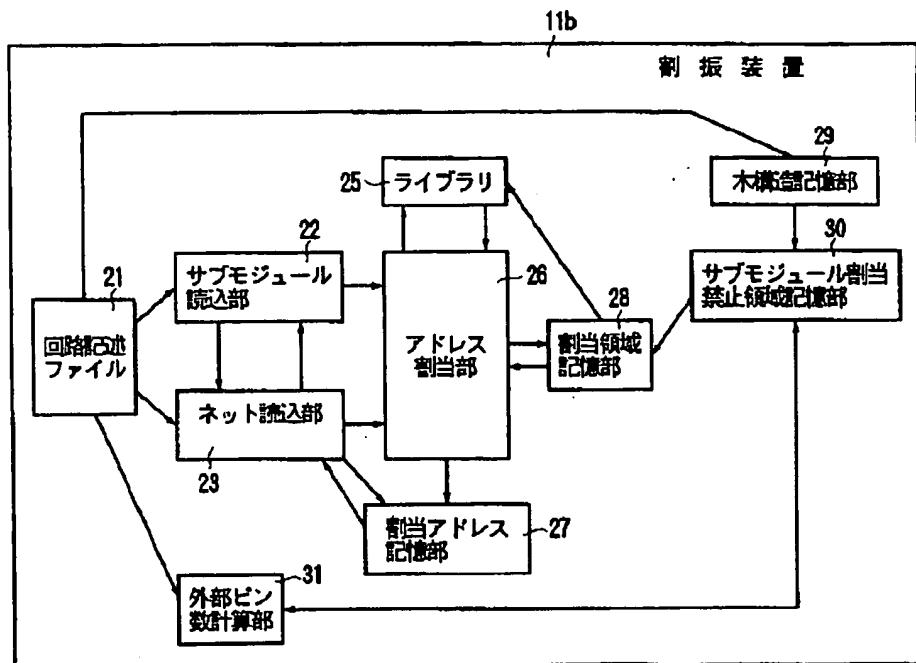
【図5】

本発明の実施例に係る論理シミュレーション装置の構成図である



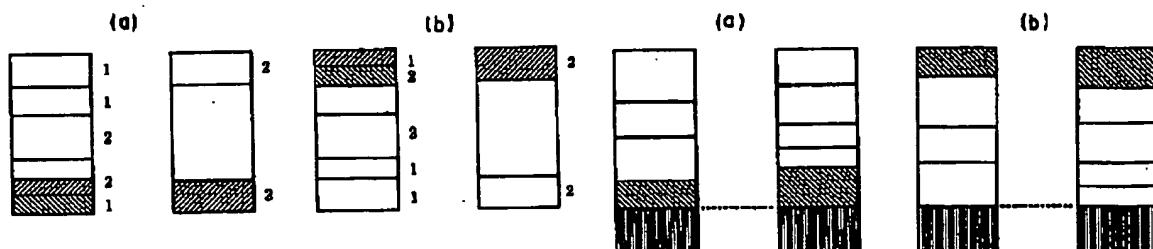
【図7】

本発明の第3の実施例に用いられる割振装置の構成図



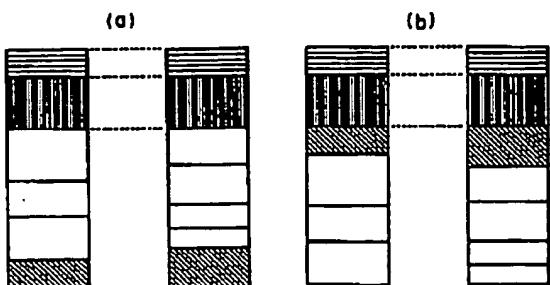
【図17】

第2の実施例に係る割当禁止領域等のメモリ割当の概念図



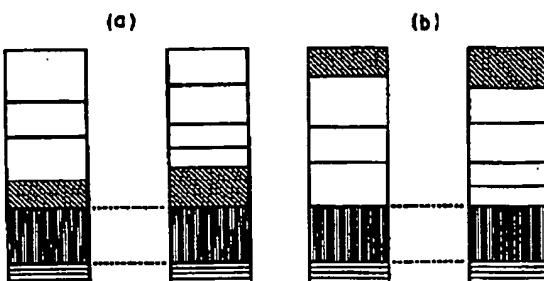
【図19】

第3の実施例に係る割当禁止領域等のメモリ割当の第2の概念図



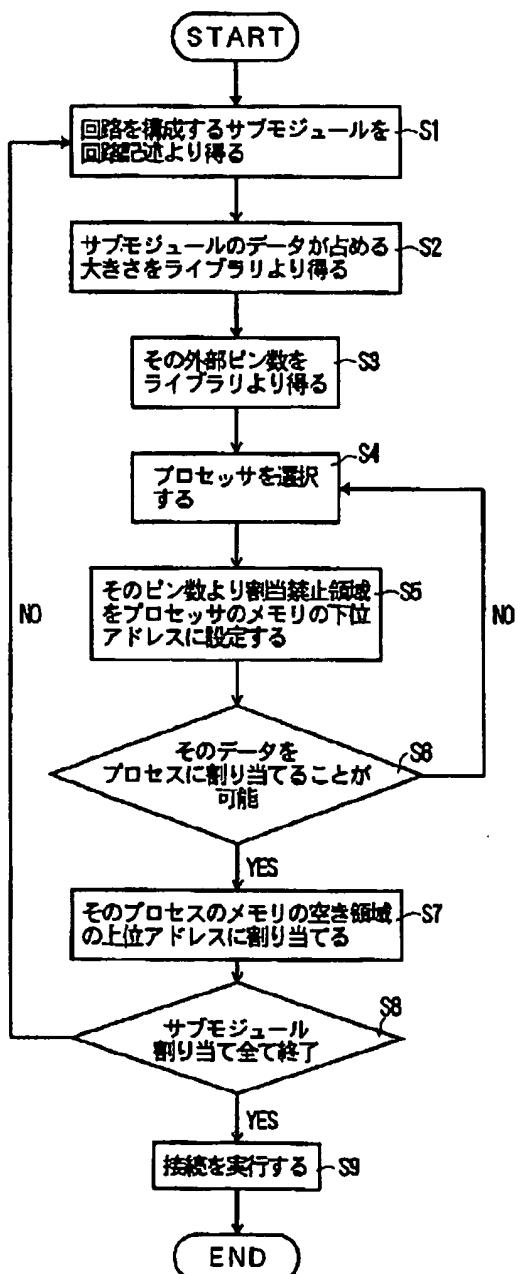
【図18】

第3の実施例に係る割当禁止領域等のメモリ割当の第1の概念図



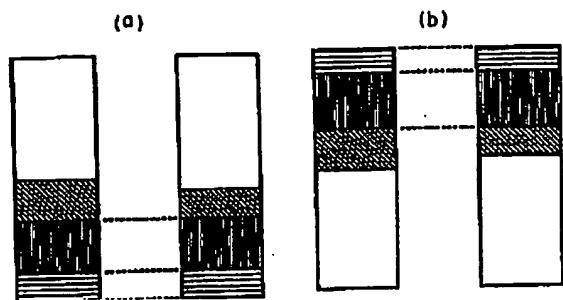
【図8】

第1の実施例の動作を示すフローチャート



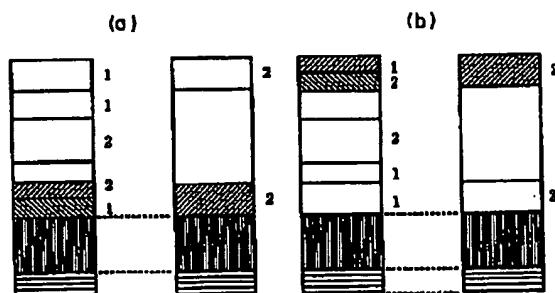
【図20】

第3の実施例に係る割当禁止領域等のメモリ割当ての第3の概念図



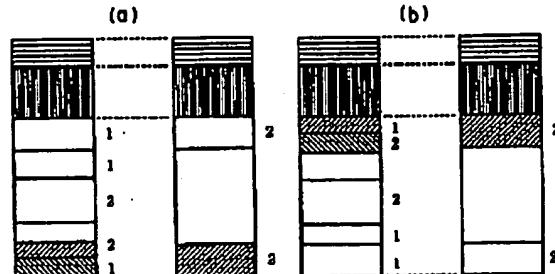
【図21】

第4の実施例に係る割当禁止領域等のメモリ割当ての第1の概念図



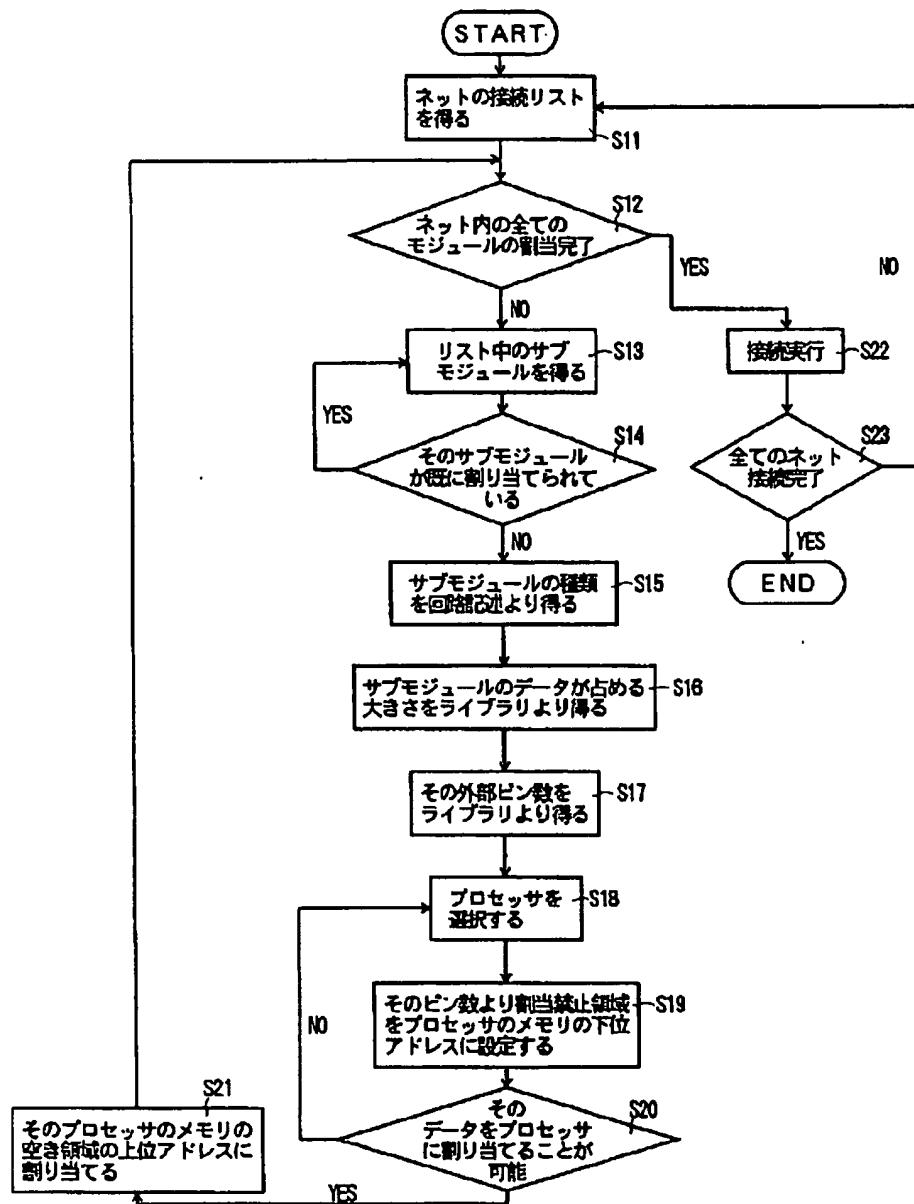
【図22】

第4の実施例に係る割当禁止領域等のメモリ割当ての第2の概念図



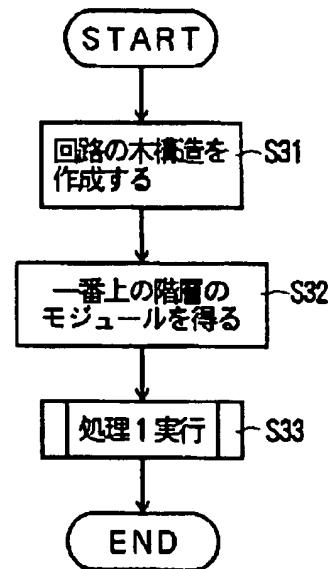
【図9】

第2の実施例の動作を示すフローチャート



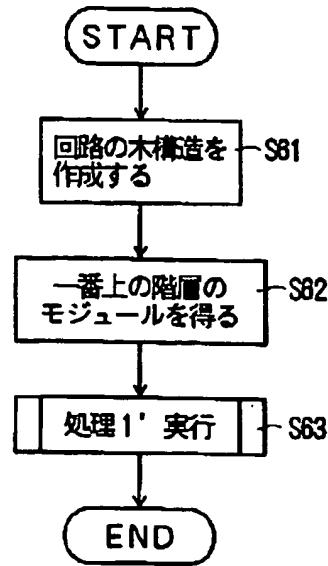
【図10】

第3の実施例の動作を示す第1のフローチャート



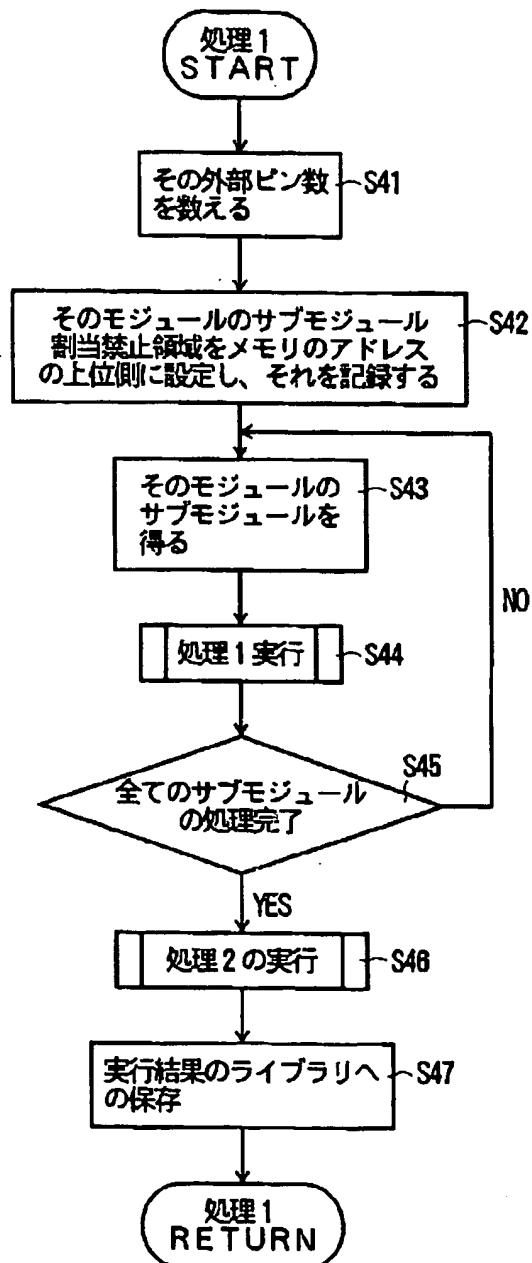
【図13】

第4の実施例の動作を示す第1のフローチャート



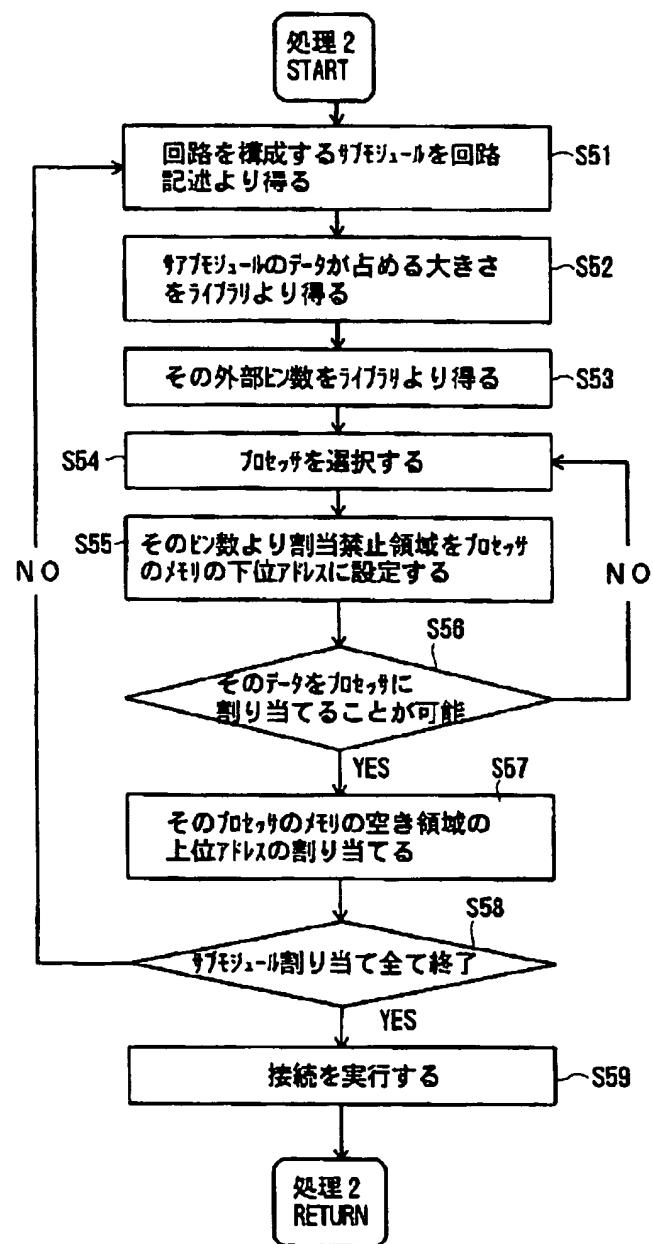
【図11】

第3の実施例の動作を示す第2のフローチャート



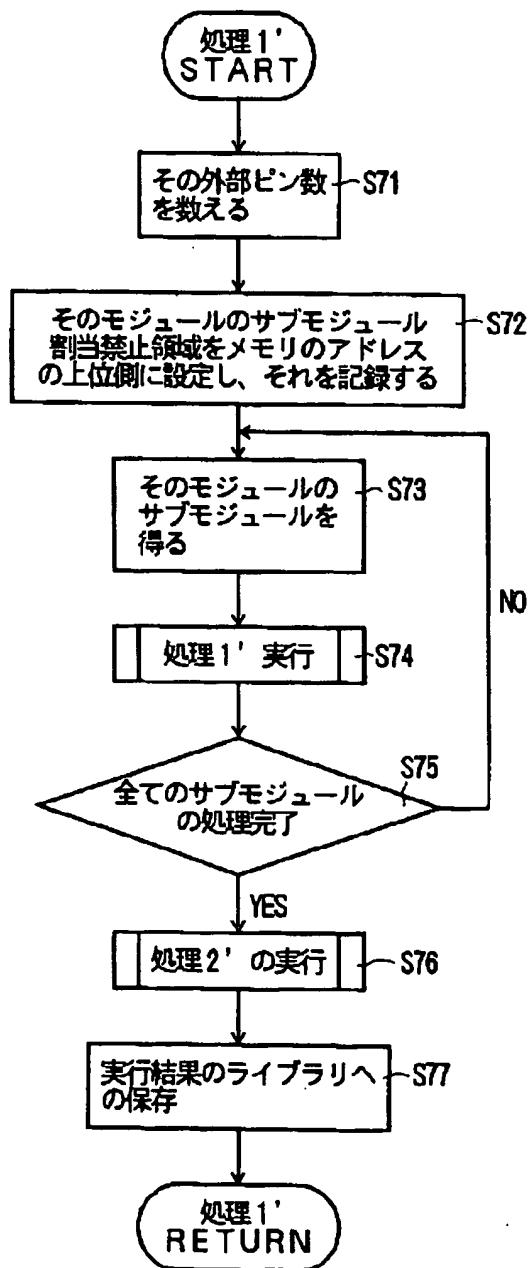
【図12】

第3の実施例の動作を示す第3のフローチャート



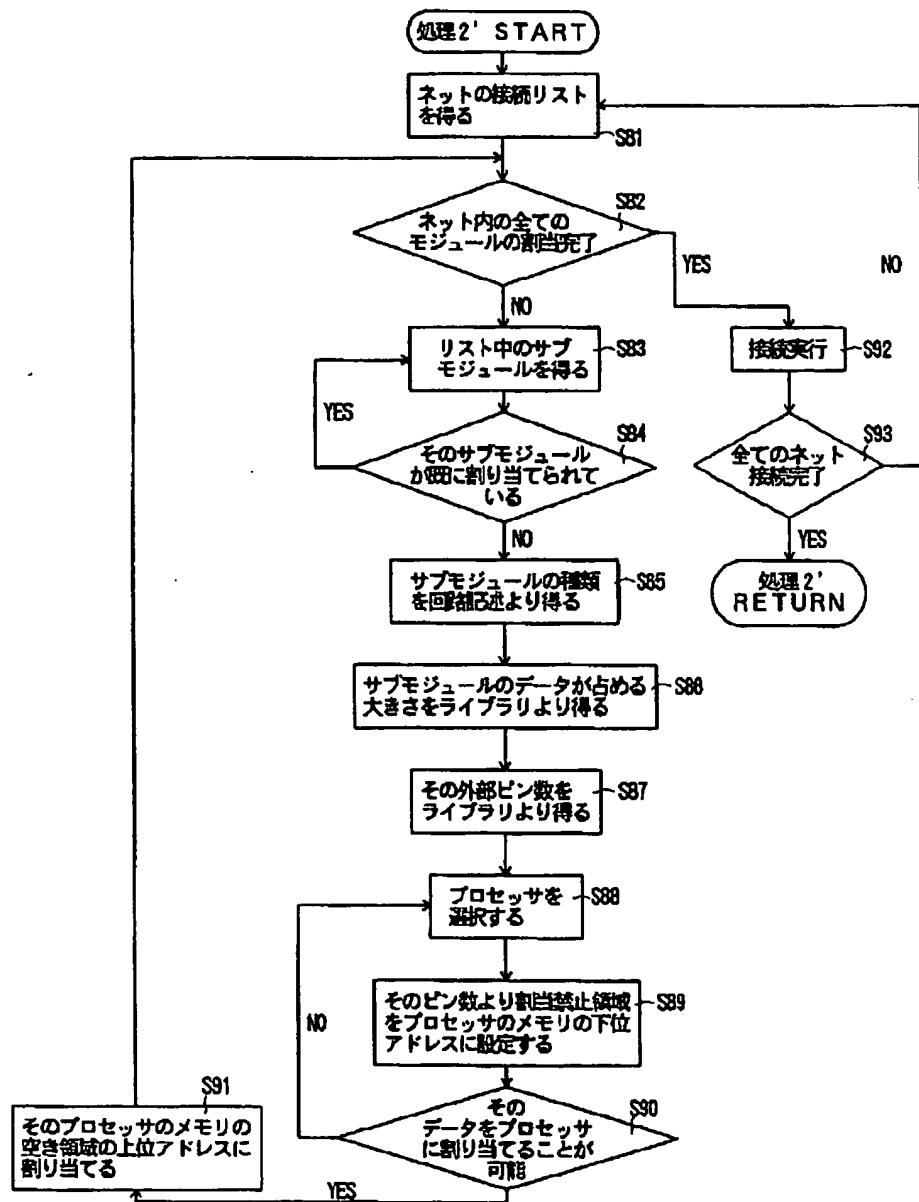
【図14】

第4の実施例の動作を示す第2のフローチャート



【図15】

第4の実施例の動作を示す第3のフローチャート



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.